

ABSTRACT OF Korean Patent Application No. 10-2000-0036823

There is provided a semiconductor memory device and a method for fabricating the same. According to the present invention, the semiconductor memory device is efficiently capable of efficiently preventing plug's oxidation caused by forming a dielectric layer in an oxidation ambient of high temperature. In order to overcome plug's oxidation in a process of forming a dielectric layer requiring an oxygen ambient of high temperature such as BST, PZT and SBT, a plug is formed of platinum having excellent electric conductivity and high-temperature aerotolerant characteristic. In addition, a capacitor bottom electrode for storage is formed by stacking IrO_2 and Pt, which have excellent oxygen-diffusion prevention characteristic.

2002-0002599

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. H01L 27/10	(11) 공개번호 2002-0002599
(21) 출원번호 2000-0036823	(43) 공개일자 2002년01월10일
(22) 출원일자 2000년06월30일	
(71) 출원인 주식회사 하미닉스반도체 박종설	
	경기 이천시 부발읍 아미리 산136-1
(72) 발명자 홍석경	경기도과천시부립동49주공아파트809-505
(74) 대리인 특허법인 신성	
<u>설사방구 : 윤문</u>	
<u>(54) 플러그의 산화를 효과적으로 방지할 수 있는 반도체메모리 소자 및 그 제조 방법</u>	

요약

본 발명은 고온 산화 분위기에서 유전막을 형성함에 따른 플러그의 산화를 효과적으로 방지할 수 있는 반도체 메모리 소자 및 그 제조 방법에 관한 것으로,とり에 BST, PZT 및 SRAM 같이 고온 산소 분위기 조건을 요구하는 유전막 형성 과정 중 일어나는 플러그의 산화문제를 해결하기 위해서, 고온 내산화 특성 및 전기 전도성이 우수한 벽금(Pt)으로 플러그를 형성하는데 그 특징미 있다. 또한, 산소 확산방지 특성이 우수한 Ir 및 Pt를 적용하여 측면을 위한 캐퍼시터 하부전극을 형성하는데 또 다른 특징이 있다.

도면도도면부록

반도체, 메모리, 소자, 캐퍼시터, 유전막, 플러그, Pt, 확산장벽, Ir02

기술적도면의 주요한 설명

도 1은 증례 기술에 따른 반도체 메모리 소자 제조 공정 단면도.

도 2a 내지 도 2b는 본 발명의 실시 예에 따른 반도체 메모리 소자 제조 공정 단면도.

* 도면의 주요부분에 대한 도면 번호의 설명

36: 확산장벽막	37: 플러그용 Pt막
38: 하부전극용 Ir02막	39: 하부전극용 Pt막
40: 유전막	41: 상부전극용 Pt막

본명의 상세한 설명본명의 특적본명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 소자 제조 분야에 관한 것으로 특히, 고온 산화분위기에서 형성되는 유전막을 캐퍼시터의 유전막으로 구비하는 반도체 메모리 소자에 있어서, 플러그 산화를 효과적으로 방지할 수 있는 반도체 메모리 소자 및 그 제조 방법에 관한 것이다.

형성된 도면 도 1은 BST((Ba, Sr)TiO₃)과 같은 고유전체를 캐퍼시터의 축전 층질로 사용하는 고정적 DRAM 소자 및 PZT(Pb(Zr,Ti...))O₃ 또는 SBT(SrBi₂Ta₂O₉)와 같은 강유전체를 캐퍼시터 층질로 사용하는 FRAM 소자의 개략적인 메모리 셀 단면도이다.

도 1에 보이는 바와 같이 종래 기술에 따른 반도체 메모리 소자의 제조 과정은, 소자본리막(11) 그리고 게이트 절연막(12)과 게이트 전극(13) 및 엑티브 영역(14)으로 이루어지는 트랜지스터 형성미 완료된 반도체 기판(10)을 갖는 충간절연막(15) 내에 상기 트랜지스터의 엑티브(14)를 노출시키는 출액층을 형성하고, 상기 출액층 내에 폴리실리콘 퀀터그(polysilicon mask)(16)를 형성한 다음, 전체 구조 상에 확산방지막(17)을 형성하고, 하부전극(18), 유전막(20) 및 상부전극(19)을 적층하여 캐퍼시터를 형성하는 과정을 포함한다.

FRAM 또는 DRAM 등과 같은 반도체 메모리 소자의 캐퍼시터는 상부전극(20), 전하 저장을 위한 유전막(19) 및 하부전극(18)의 적층구조로 구성되고, 폴리실리콘 퀀터그(16)를 통하여 트랜지스터의 엑티브 영역(드레인)(14)과 전기적으로 연결된다. 캐퍼시터에 제작되었던 전하는 트랜지스터의 채널층 통과하여 반도체 엑티브 영역(소오스) (도시하지 않음)을 지나서 비트라인(도시하지 않음)으로 빠져나온다.

BST와 같은 고유전체 또는 PZT 및 SBT와 같은 강유전체는 박막의 제조온정 온도가 매우 높고 일반적으로 산소분위기에서 광정이 진행된다. 또한, 캐퍼시터 형성 후에도 전기적 특성을 확장시키기 위해 고온의 산소분위기에서 후속 열처리 광정을 실시하여야 하는데, BST 및 PZT의 경우는 보통 600 °C 내지 750 °C, SBT의 경우는 보통 700 °C 내지 850 °C 온도에서 열처리 광정을 진행한다. 그런데 이와 같은 고온, 산소분위기에서 유전체를 증착하거나 후속 열처리를 진행하면 산소는 캐퍼시터 박막 내부로 침투하게 되고, 월등한 산소는 폴리실리콘 퀀터그(16)의 표면과 산화시켜 하부전극(18)과 폴리실리콘 퀀터그(16) 계면에 양은 SiO₂ 출연막이 형성되어 전하 저장 캐퍼시터와 트랜지스터의 엑티브 영역 간의 전기적 연결이 끊어지 는 문제가 생긴다. 물론 아니라 하부전극을 Pt로 형성하여 Pt와 SiO₂의 직접 접촉하게 될 경우, 250 °C 이 상의 온도에서 Pt와 SiO₂가 반응하여 PtSi가 쉽게 형성됨으로써 접촉저항을 크게 증가시키는 문제가 생긴다.

이러한 문제점을 해결하기 위하여 종래에는 도 1에 보이는 바와 같이, 캐퍼시터의 하부전극(18)과 폴리실리콘 퀀터그(16) 사이에 산소 및 Si에 대한 확산장벽막(17)을 형성한다. 이와 같이 폴리실리콘 퀀터그의 산화 및 PtSi가 형성되는 문제를 해결하기 위해 종래에는 상기 확산장벽막(17)을 TiN, (Ti, Al)₂N 및 (Ti, Si)₂N 등과 같은 Ti 절화막으로 형성한다.

그러나 Ti 절화막은 면밀히 산소분위기, 550 °C 이상의 온도 조건에서 쉽게 산화되는 특성을 보인다. 즉, 캐퍼시터 형성 중에 하부전극을 통과한 산소가 TiN, TiAlN 및 TiSiN 등과 같은 Ti 절화막 또는 폴리실리콘 퀀터그와 반응하면 이들 박막의 표면에 Ti₂O₅ 및 Al₂O₃ 또는 Si₃N₄와 같은 결연막을 형성한다.

따라서, 하부전극을 통해 확산장막으로 산소가 통과하는 것을 최대한 억제시키려는 시도가 함께 이루어지고 있다. 이러한 목적의 하부전극(18)으로는 Pt/Ir, Ir₂O₃/Ir, Pt/IrO₂/Ir 또는 Pt/Ru와 같이 산소와 반응하여 산화층을 형성하더라도 전도성이 둘은 특성을 갖는 Ir 및 Ru 등을 삽입한 복합전극에 대한 연구가 진행되고 있다. 그러나, 이를 복합 전극도 아직까지 650 °C 이상의 온도에서는 산소의 확산 경로를 완벽하게 방지하지 못하는 문제가 있다.

따라서, BST, PZT 혹은 SBT와 같은 고온 산화 분위기에서 형성되는 유전막을 캐퍼시터의 축전 층질로 채용하는 고정적 DRAM 및 FRAM 소자 제조 과정에서 폴리실리콘 퀀터그의 산화를 효과적으로 방지하지 못하는 어려움이 있다.

도장이 이루고자 하는 기술적 목표

상기와 같은 문제점을 해결하기 위한 본 발명은, 고온 산화 분위기에서 유전막을 형성함에 따른 폴리실리콘 퀀터그의 산화를 효과적으로 방지할 수 있는 반도체 메모리 소자 및 그 제조 방법을 제공하는데 목적이 있다.

도장의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명은, 트랜지스터 형성이 완료된 반도체 기판, 상기 반도체 기판을 덮는 충간절연막, 상기 충간절연막 내에 형성되어 상기 트랜지스터의 엑티브 영역을 노출시키는 출액: 상기 출액을 내에 형성된 Pt 퀀터그 및 상기 충간절연막 및 상기 Pt 퀀터그를 모든 하부전극, 유전막 및 상부전극으로 이루어지는 캐퍼시터를 포함하는 반도체 메모리 소자를 제공한다.

또한 상기 목적을 달성하기 위한 본 발명은, 트랜지스터 형성이 완료된 반도체 기판 상에 충간절연막을 형성하는 제1 단계; 상기 충간절연막을 성적적으로 씌워하여 상기 트랜지스터의 엑티브 영역을 노출시키는 출액을 형성하는 제2 단계; 상기 출액을 내에 Pt 퀀터그를 형성하는 제3 단계; 및 상기 충간절연막 및 상기 Pt 퀀터그를 덮는 하부전극, 유전막 및 상부전극으로 이루어지는 캐퍼시터를 형성하는 제4 단계를 포함하는 반도체 메모리 소자 제조 방법을 제공한다.

본 발명은, 종래 BST, PZT 및 SBT와 같은 고온 산화 분위기 조건을 요구하는 유전막 형성 과정 중 일어나는 폴리실리콘 퀀터그의 산화문제를 해결하기 위해서, 고온 내산화 특성 및 전기 전도성이 우수한 백금(Pt)으로 퀀터그를 형성하는데 그 특징이 있다. 또한, 산소 확산방지 특성이 우수한 Ir₂O₃ 및 Pt를 적층하여 캐퍼시터 하부전극을 형성하는데 또 다른 특징이 있다.

확산 장벽층 또는 흘러그가 산화되는 것을 방지하려면 산소가 확산 장벽층에 도달하기 어렵게 만들어야 한다. 종래 기술에서 하부전극으로 널리 사용되고 있는 백금(Pt)은 일반적으로 스퍼터링법(Sputter deposition)이나 유기증류 화학기상 증착법(Metal organic Chemical Vapor Deposition: MOCVD)으로 형성하는데, 이렇게 형성된 Pt 박막은 주상 형태(Columnar type)의 다층구조이며 두께는 보통 500 Å 내지 2000 Å 정도이다. 따라서 풍해 캐파시터 형성 과정 중에 산소는 주상 형태의 결정구조로 이루어진 두께 2000 Å 이하의 Pt 하부전극을 쉽게 통과하여 Ti 절화막에 도달한다.

Pt 박막 표면에 있던 산소가 어떤 일의의 온도(T) 및 시간(t)에서 Pt 박막 내부를 통과하여 일정거리 x 에 도달할 때, 도달거리(x_0)와 온도(T) 및 시간(t)사이에는 다음과의 수학식 1과 같은 관계가 있다.

$x_0 = A_0 \cdot (T/t)$

수학식 1에서, ' k '는 비례상수이고, ' t '는 일의의 주어진 온도(T)에서 Pt 박막 내의 산소 확산계수로서 Pt 박막의 결정립 형태 등에 의해서 약간의 영향을 받을 수 있다. ' t '는 확산에 주어진 시간, 예를 들면 캐파시터 형성 공정 시간 및 후속 열처리공정 시간이고, ' x_0 '는 산소가 Pt 박막 내부를 확산 통과하여 도달할 수 있는 거리이다. 따라서, ' x_0 '가 하부전극의 두께에 비해 클 경우, 즉, $x_0 > 2000 \text{ \AA}$ 이면 확산장벽층은 산화된다. 그러므로, 확산장벽층이 산화되는 것을 방지하려면, Pt 두께를 매우 두껍게 하고, 동시에 Pt 결정립의 형태를 산소가 쉽게 통과하기 쉬운 주상형(Columnar-type grain) 구조에서 산소의 결정구조(granule-type grain) 구조로 변화시키면 산소의 확산을 억제하는데 매우 유리하다.

본 발명에서는 Pt를 하부전극 용도뿐만 아니라 본체를 채우는 흘러그를 줄줄로 사용함으로써 Pt 박막의 두께를 실현적으로 크게 증가시켜 산소의 확산거리를 크게 증가시킨다.

또한 본 발명에서는, 본체를 내부를 Pt로 채우기 위해서 페터드(gap-filling) 특성이 매우 뛰어난 전기도금법(ElectroChemical Deposition: ECD)을 사용한다. ECD 방법으로 형성된 Pt를 사용함으로써 일정되는 또 하나의 장점을 비저항을 낮추기 위해서 Pt 매립공정 후에 실시하는 500 °C 미하의 휴숙 열처리 공정에서 Pt 결정립의 모양을 입상형(granule-type grain)으로서 재결정화시킬 수 있다는 점이다. Pt 결정립이 입상형이 되면, Pt의 결정립개를 통해 확산하는 산소의 실제 확산거리를 더욱 증가시킬 수 있다. 다만 Pt 본체를 내부를 ECD 방법으로 형성된 Pt막으로 채워 Pt 흘러그를 형성함으로써 품질적인 Pt막 두께의 증가 외에 Pt 박막 내부에서 산소가 확산해야하는 확산경로를 크게 증가시키는 장점이 있다.

또한, 본 발명에서는 Pt 하부전극과 층간결연막 사이의 접착력을 증대시키기 위하여, 접착제 및 산소 확산 장벽 특성이 우수한 IrO_x층을 먼저 증착하고, Pt막을 증착하여 IrO_x층과 Pt막의 적층 구조로 이루어지는 하부전극을 형성한다.

미하, 결부된 도면 도 2a 내지 도 2b를 참조하여 본 발명의 실시예에 따른 반도체 메모리 소자 제조 방법을 상세하게 설명한다.

먼저 도 2a에 보이는 바와 같이, 실리콘 기판(30)에 소자본리막(31) 그리고, 게이트 절연막(32)과 게이트 전극(33) 및 액티브 영역(34)으로 이루어지는 트랜지스터를 형성한다.

다음으로 도 2b에 도시한 바와 같이, 전체 구조 상에 층간절연막(35)을 형성하고, 높낮이 차이를 없애기 위해 화학적기계적 면밀화에 평탄하게 만든 후, 액티브 영역(34)을 노출시키는 본체(36)를 형성한다.

이어서 도 2c에 보이는 바와 같이, 전체 구조 상에 Ti막/TiN 적층 구조로 이루어지는 확산방지막(37)을 형성하고, Si 기판(30)과 Ti막(37)을 반응시켜 접촉 저항을 감소시키는 Ti-실리사이드(Ti-silicide)(도시하지 않음)를 형성시키기 위한 열처리를 실시한다.

다음으로 도 2d에 도시한 바와 같이, 전기도금법으로 확산방지막(37)상에 Pt를 격착(電着)시켜 본체를 대부분을 채우는 흘러그용 Pt막(38)을 형성한다. 이와 같이 매립특성이 매우 우수한 전기도금법(ElectroChemical Deposition: ECD)으로서 백금(Pt)을 전착시켜 본체를 내부를 채워 Pt 흘러그를 형성한 후, 열처리를 실시한다. 상기 열처리 공정은 ECD법으로 증착된 흘러그용 Pt막(38)의 결정(grain)을 재결정화시켜 입상형(granule-type grain)으로 만드며 주기 위해 실시하는 것이다. Pt 결정립을 입상형으로 만들어 주면, Pt 결정립개를 따라서 이동하는 산소의 확산 경로가 길어지는 장점이 있다.

이어서 도 2e에 보이는 바와 같이, 층간혈연막(35)이 노출될 때까지 흘러그용 Pt막(38)과 확산방지막(37) 제거하여, 흘러그용 Pt막(38)과 확산방지막(37)이 본체를 내부에 만 남도록 하여 Pt 흘러그를 형성한다.

다음으로 도 2f에 도시한 바와 같이, 전체 구조 상에 산소짜산 방지층을 위한 IrO_x막(39) 및 하부전극 Pt막(38)을 스퍼터링법으로 증착한다.

이어서 도 2g에 보이는 바와 같이, 마스크 공정과 식각 공정을 실시하여 하부전극용 Pt막(39)과 IrO_x막(38)을 패터닝하여 IrO_x막(38) 패턴 및 Pt막 하부전극을 형성한다.

다음으로 도 2h에 도시한 바와 같이, 전체 구조 상에 유전막(40) 및 상부전극용 Pt막(41)을 증착하여 페디스탈 형(Pedestal-type) 구조의 캐파시터를 형성한다. 상기 유전막은 DRAM의 경우 (Ba,Sr)TiO₃(BST)와 같은 고유전 물질로 형성하고, FRAM의 경우는 PbZrTiO₃(PZT) 또는 SrBi₂Ta₂O₉(SBT)과 같은 강유전체 물질로 형성한다.

전술한 바와 같이 이루어지는 본 발명은 쟁래의 흘러그를 대신하여 ECD 방법으로 Pt를 증착하고 열처리를 실시하여, 흘러그를 이루는 Pt막의 결정립을 입상형(granule-type grain)으로 만드며 품으로

생 산소의 확산경로를 크게 증가시켜, 캐퍼시터 제조공정 중 산소가 Pt 박막의 결정밀도를 통과하여 Ti증화막 표면에 도달하는 것을 효과적으로 억제할 수 있다.

풀러그의 길이는 보통 12000 Å 이상이다. 따라서 Pt 탑재와 같이 Pt로 풀러그를 형성할 경우의 Pt 하부전극의 최대두께가 2000 Å임을 고려할 때, 7 배 이상 Pt 두께가 증가하는 효과를 갖는다. 따라서, 산소가 캐퍼시터 제조 공정 중에 14000 Å 두께의 Pt막을 쌓고 그 하부에 위치한 확산증화막(36)에 도달하는 것을 효과적으로 억제할 수 있다.

또한, 하부전극과 풀러그 사이에 고온 산소 분위기에서 산소에 대한 확산 장벽 형성이 우수한 IrO_x층이 위치함으로써 산소가 Pt 풀러그 속으로 확산 험로하는 것을 더욱 더 효과적으로 방지할 수 있다. 또한 상기 IrO_x층은 Pt 하부전극과 충간절연막의 결합력을 크게 증가시킴으로써 하부전극의 쇠각 공정 및 세정 공정에서 Pt 하부전극이 벗겨지는 것을 효과적으로 억제할 수 있다.

이상에서 설명한 본 발명은 전술한 실시에 및 협부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 실상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

도장의 조작

상기와 같이 이루어지는 본 발명은, EDI법으로 증착된 Pt 풀러그 및 Pt와 IrO_x이 적층된 하부전극을 형성함으로써, 증래 확산방지막인 TiN 및 풀리실리콘 풀러그가 산화됨에 따른 풀러그 저항률 증가를 방지하고, 하부전극을 충간절연막에 결합하게 접촉시킴으로서 BST, PZT 및 SBT를 캐퍼시터 봉질로 사용하는 고전적 예모리 소자를 용이하게 제조할 수 있다.

(5) 청구의 조작

청구항 1. 반도체 메모리 소자에 있어서,

트랜지스터 형성이 완료된 반도체 기판;

상기 반도체 기판을 묘는 충간절연막;

상기 충간절연막 내에 형성되어 상기 트랜지스터의 액티브 영역을 노출시키는 큰洩孔;

상기 큰洩孔 내에 형성된 Pt 풀러그; 및

상기 충간절연막 및 상기 Pt 풀러그를 묘는 하부전극, 유전막 및 상부전극으로 이루어지는 캐퍼시터를 포함하는 반도체 메모리 소자.

청구항 2. 제 1 항에 있어서,

상기 하부전극은,

충간절연막 및 상기 Pt 풀러그 상에 차례로 적층된 IrO_x막 및 Pt막으로 이루어지는 것을 특징으로 하는 반도체 메모리 소자.

청구항 3. 제 1 항 또는 제 2 항에 있어서,

상기 풀러그와 상기 반도체 기판 사이에 확산방지막을 더 포함하는 것을 특징으로 하는 반도체 메모리 소자.

청구항 4. 제 3 항에 있어서,

상기 유전막은,

(Ba,Sr)TiO₃(BST), PbZrTiO₃(PZT) 또는 SrBi₂Ta₂O₉(SBT)으로 이루어지는 것을 특징으로 하는 반도체 메모리 소자.

청구항 5. 반도체 메모리 소자 제조 방법에 있어서,

트랜지스터 형성이 완료된 반도체 기판 상에 충간절연막을 형성하는 제1 단계;

상기 충간절연막을 선택적으로 쇠각하여 상기 트랜지스터의 액티브 영역을 노출시키는 큰洩孔을 형성하는 제2 단계;

상기 큰洩孔 내에 Pt 풀러그를 형성하는 제3 단계; 및

상기 충간절연막 및 상기 Pt 풀러그를 묘는 하부전극, 유전막 및 상부전극으로 이루어지는 캐퍼시터를 형성하는 제4 단계;

그 포함하는 반도체 메모리 소자 제조 방법.

청구항 6. 제 5 항에 있어서,

상기 제2 단계 후,

상기 제2 단계가 완료된 전체 구조 상에 확산방지막을 형성하는 단계를 더 포함하고,

상기 제3 단계는,

전기도금법으로 상기 확산방지막 상에 Pt막을 전착하는 단계;

상기 Pt막을 열처리하여 상기 Pt막의 결정을 입상정으로 변화시키는 단계; 및

상기 증간절연막이 노출될 때까지 상기 Pt막 일상정으로 상기 확산방지막을 제거하여 상기 Pt 블러그를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자 제조 방법.

청구항 7. 제 5 항 또는 제 6 항에 있어서,

상기 하부전극은,

증간절연막 및 상기 Pt 블러그 상에 차례로 적층된 IrO_x막 및 Pt막으로 형성하는 것을 특징으로 하는 반도체 메모리 소자 제조 방법.

청구항 8. 제 6 항에 있어서,

상기 확산방지막은,

Ti막 및 TiN막을 적층하여 형성하는 것을 특징으로 하는 반도체 메모리 소자 제조 방법.

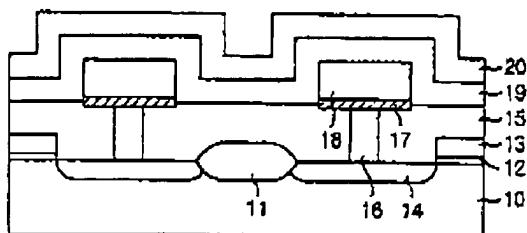
청구항 9. 제 7 항에 있어서,

상기 유전막은,

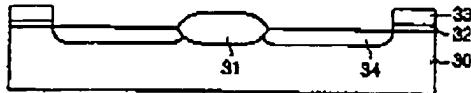
(Ba,Sr)TiO₃(BST), PbZrTiO₃(PZT) 또는 SrBi₂Ta₂O₉(SBT)으로 형성하는 것을 특징으로 하는 반도체 메모리 소자 제조 방법.

도면

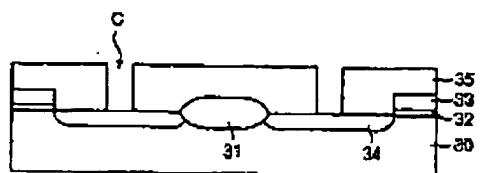
도면1



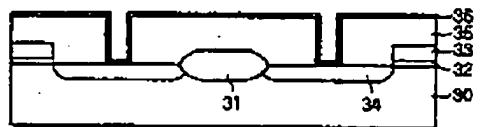
도면2



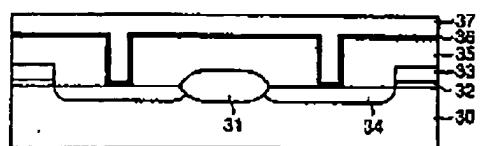
도면3



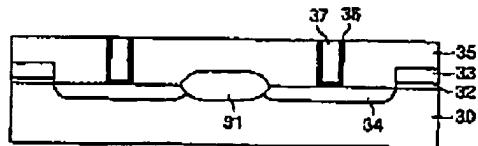
도면4



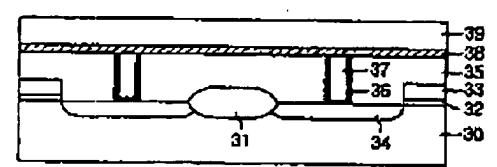
도면5



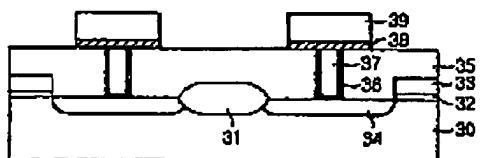
도면6



도면7



도면8



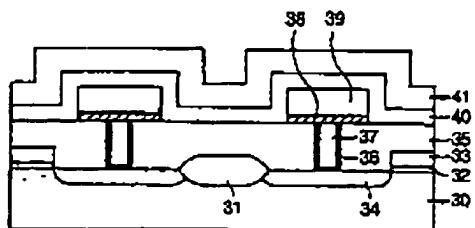
DEC. 16. 2004 12:13PM

MBS&S 919 854-1401

NO. 9223 P. 28

2002-0002553

583



7-7